

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

18056346

Basic Patent (No,Kind,Date): US 20020119585 AA 20020829 <No. of Patents:  
002>

**METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE**

(English)

Patent Assignee: YAMAZAKI SHUNPEI (JP); OHNUMA HIDETO (JP); TAKANO  
TAMAE

(JP); MITSUKI TORU (JP)

Author (Inventor): YAMAZAKI SHUNPEI (JP); OHNUMA HIDETO (JP); TAKANO  
TAMAE

(JP); MITSUKI TORU (JP)

National Class: \*438029000; 438027000; 438652000; 438657000

IPC: \*H01L-021/00; H01L-021/44

CA Abstract No: 137(13)193986E

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 2002305148</b>	A2	20021018	JP 200220463	A	20020129
US 20020119585	AA	20020829	US 56054	A	20020128

(BASIC)

Priority Data (No,Kind,Date):

JP 200220463 A 20020129

JP 200119331 A 20010129

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-305148

(43)Date of publication of application : 18.10.2002

(51)Int.Cl.

H01L 21/20  
G02F 1/1368  
H01L 21/336  
H01L 29/786

(21)Application number : 2002-020463

(71)Applicant : SEMICONDUCTOR  
ENERGY LAB CO  
LTD

(22)Date of filing :

29.01.2002

(72)Inventor : YAMAZAKI  
SHUNPEI  
ONUMA HIDETO  
TAKANO YOSHIE  
MITSUKI TORU

(30)Priority

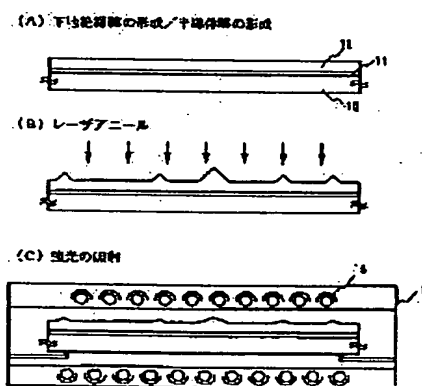
Priority number : 2001019331 Priority date : 29.01.2001 Priority country : JP

## (54) MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a manufacturing method for a semiconductor device, which forms a semiconductor film having a small number of ridges and uses the semiconductor film, since many projection parts (ridges) are formed on the top surface of an obtained crystalline semiconductor film by a crystallizing method using irradiation with laser light to cause reduction in film quality.

**SOLUTION:** The ridges are reduced by heating the semiconductor film by a heat treatment method (RTA method: rapid thermal annealing method), which irradiates the semiconductor film with the light emitted by a lamp light source, after crystallizing the film with the laser light.



---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of  
application other than the  
examiner's decision of rejection or  
application converted registration]

[Date of final disposal for  
application]

[Patent number]

[Date of registration]

[Number of appeal against  
examiner's decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-305148  
(P2002-305148A)

(43) 公開日 平成14年10月18日 (2002. 10. 18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
H 0 1 L 21/20		H 0 1 L 21/20	2 H 0 9 2
G 0 2 F 1/1368		G 0 2 F 1/1368	5 F 0 5 2
H 0 1 L 21/336		H 0 1 L 29/78	6 2 7 G 5 F 1 1 0
29/786			

審査請求 未請求 請求項の数10 O L (全 23 頁)

(21) 出願番号 特願2002-20463 (P2002-20463)  
(22) 出願日 平成14年1月29日 (2002. 1. 29)  
(31) 優先権主張番号 特願2001-19331 (P2001-19331)  
(32) 優先日 平成13年1月29日 (2001. 1. 29)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72) 発明者 大沼 英人  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72) 発明者 高野 圭恵  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

最終頁に続く

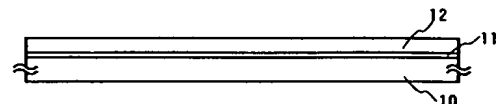
(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】 レーザ光の照射による結晶化法は、得られる結晶質半導体膜の表面に凸部（リッジ）を多数形成し、膜質を低下させてしまう。そこで、リッジの少ない半導体膜を形成し、該半導体膜を用いる半導体装置の作製方法を提供することを課題とする。

【解決手段】 本発明において、半導体膜に対してレーザ光による結晶化を行なった後に、ランプ光源から発した光を照射する熱処理方法（RTA法：ラピッドサーマルアニール法）により前記半導体膜を加熱することで、リッジを低減することを特徴とする。

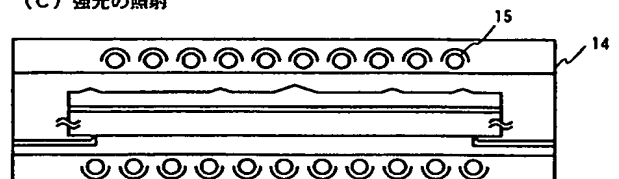
(A) 下地絶縁膜の形成／半導体膜の形成



(B) レーザアニール



(C) 強光の照射



## 【特許請求の範囲】

【請求項 1】 第 1 の半導体膜に加熱処理を行なって第 2 の半導体膜を形成し、前記第 2 の半導体膜にレーザ光を照射して複数の凸部を有する第 3 の半導体膜を形成し、前記第 3 の半導体膜に強光を照射して第 4 の半導体膜を形成することを特徴とする半導体装置の作製方法。

【請求項 2】 第 1 の半導体膜に強光を照射して第 2 の半導体膜を形成し、前記第 2 の半導体膜にレーザ光を照射して複数の凸部を有する第 3 の半導体膜を形成し、前記第 3 の半導体膜に強光を照射して第 4 の半導体膜を形成することを特徴とする半導体装置の作製方法。

【請求項 3】 第 1 の半導体膜に金属元素を導入し、前記第 1 の半導体膜に加熱処理を行なって第 2 の半導体膜を形成し、前記第 2 の半導体膜にレーザ光を照射して複数の凸部を有する第 3 の半導体膜を形成し、前記第 3 の半導体膜に強光を照射して第 4 の半導体膜を形成することを特徴とする半導体装置の作製方法。

【請求項 4】 第 1 の半導体膜に金属元素を導入し、前記第 1 の半導体膜に強光を照射して第 2 の半導体膜を形成し、前記第 2 の半導体膜にレーザ光を照射して複数の凸部を有する第 3 の半導体膜を形成し、前記第 3 の半導体膜に強光を照射して第 4 の半導体膜を形成することを特徴とする半導体装置の作製方法。

【請求項 5】 請求項 1 乃至 4 のいずれか一項において、前記強光は、基板の上方から、基板の下方からもしくは基板の上方および下方から照射されることを特徴とする半導体装置の作製方法。

【請求項 6】 請求項 1 乃至 4 のいずれか一項において、前記強光は、赤外光、可視光、または紫外光であることを特徴とする半導体装置の作製方法。

【請求項 7】 請求項 1 乃至 4 のいずれか一項において、前記強光は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光であることを特徴とする半導体装置の作製方法。

【請求項 8】 請求項 1 乃至 4 のいずれか一項において、前記強光を照射するときの処理室内の雰囲気は、還元性ガスであることを特徴とする半導体装置の作製方法。

【請求項 9】 請求項 2 乃至 4 のいずれか一項において、前記レーザ光は、エキシマレーザ、YAGレーザ、YVO<sub>4</sub>レーザ、YAlO<sub>3</sub>レーザ、またはYLFレーザから射出された光であることを特徴とする半導体装置の作製方法。

【請求項 10】 請求項 3 または請求項 4 において、前記金属元素は、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Ag、Au、Sn、Sbから選ばれた一種または複数の元素であることを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はレーザビームを用いた半導体膜のアニール（以下、レーザアニールという）を工程に含んで作製された半導体装置及びその作製方法に関する。なお、ここでいう半導体装置には、液晶表示装置や発光装置等の電気光学装置及び該電気光学装置を部品として含む電子装置も含まれるものとする。

## 【0002】

【従来の技術】近年、ガラス等の絶縁基板上に形成された半導体膜に対し、レーザアニールを施して、結晶化せたり、結晶性を向上させる技術が広く研究されている。上記半導体膜には珪素がよく用いられる。本明細書中では、半導体膜をレーザ光で結晶化し、結晶質半導体膜を得る手段をレーザ結晶化という。なお、本明細書中において、結晶質半導体膜とは、結晶化領域が存在する半導体膜のことを言い、全面が結晶化している半導体膜も含む。

【0003】ガラス基板は、従来よく使用されてきた合成石英ガラス基板と比較し、安価で加工性に富んでおり、大面積基板を容易に作製できる利点を持っている。これが上記研究の行われる理由である。また、結晶化に好んでレーザが使用されるのは、ガラス基板の融点が高いからである。レーザは基板の温度を余り上昇させずに、半導体膜のみ高いエネルギーを与えることが出来る。また、電熱炉を用いた加熱手段に比べて格段にスループットが高い。

【0004】レーザアニールを施して形成された結晶質半導体膜は、高い移動度を有するため、この結晶質半導体膜を用いて薄膜トランジスタ（TFT）を形成し、例えば、1枚のガラス基板上に、画素駆動用と駆動回路用のTFTを作製する、モノリシック型の液晶電気光学装置等に盛んに利用されている。

【0005】また、出力の大きい、エキシマレーザ等のパルスレーザ光を、照射面において、数cm角の四角いスポットや、長さ10cm以上の線状となるように光学系にて加工し、レーザ光を走査させて（あるいはレーザ光の照射位置を被照射面に対し相対的に移動させて）、レーザアニールを行なう方法が生産性が高く工業的に優れているため、好んで使用されている。

【0006】特に、線状ビームを用いると、前後左右の走査が必要なスポット状のレーザ光を用いた場合とは異なり、線状ビームの長尺方向に直角な方向だけの走査で被照射面全体にレーザ照射を行なうことが出来るため、生産性が高い。長尺方向に直角な方向に走査するのは、それが最も効率の良い走査方向であるからである。この高い生産性により、現在レーザアニール法にはパルス発振エキシマレーザ光を適当な光学系で加工した線状ビームを使用することが、TFTを用いる液晶表示装置の製造技術の主流になりつつある。

## 【0007】

【発明が解決しようとする課題】しかしながら、レーザ光の照射による結晶化法は、得られる結晶質半導体膜の表面に凸部（リッジ）を多数形成し、膜質を低下させてしまう。すなわち、半導体膜にレーザ光を照射すると、半導体膜が瞬間的に熔融されて、局所的に膨張し、この膨張によって生じる内部応力を緩和するために、結晶質半導体膜の表面にリッジが形成される。またこのリッジの山と谷との最大高低差は、膜厚の0.5～2倍程度である。

【0008】絶縁ゲート型の半導体装置において、結晶質半導体膜の表面のリッジには、ダングリングボンドや格子の歪みなどに起因するポテンシャル障壁やトラップ順位が形成されるため、活性層とゲート絶縁膜との界面準位を高くしてしまう。また、リッジの頂上部は急峻であるために電界が集中しやすく、このためリーク電流の発生源となり、最終的には絶縁破壊を生じ、ショートしてしまう。加えて、結晶質半導体膜の表面のリッジは、スパッタ法やCVD法により堆積されるゲート絶縁膜の被膜性を損なうものであり、絶縁不良等の信頼性を低下させる。また、TFTの電界効果移動度を決める要素のひとつとして、表面散乱効果があげられる。TFTの活性層とゲート絶縁膜界面の平坦性が電界効果移動度に大きな影響を与え、界面が平坦であるほど散乱の影響を受けず高い電界効果移動度が得られる。このように、結晶質半導体膜の表面のリッジがTFTの特性全てに影響を与え、歩留まりまで変わってしまう。

【0009】本発明は、リッジの少ない表面を有する半導体膜を形成し、該半導体膜を用いる半導体装置の作製方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明において、半導体膜に対してレーザ光による結晶化を行なった後に、ランプ光源から発した光を照射する熱処理方法（RTA法：ラピッドサーマルアニール法）により前記半導体膜を加熱することで、リッジを低減することを特徴とする。即ち、RTA法により、半導体膜の表面に形成されている凸部の高さを低くする、または凸部をなくす事で、前記半導体膜の表面を平滑にすることを特徴とする。

【0011】本明細書で開示する半導体装置の作製方法に関する発明の構成は、第1の半導体膜に加熱処理を行なって第2の半導体膜を形成し、前記第2の半導体膜にレーザ光を照射して複数の凸部を有する第3の半導体膜を形成し、前記第3の半導体膜に強光を照射して第4の半導体膜を形成することを特徴としている。

【0012】また、他の発明の構成は、第1の半導体膜に強光を照射して第2の半導体膜を形成し、前記第2の半導体膜にレーザ光を照射して複数の凸部を有する第3の半導体膜を形成し、前記第3の半導体膜に強光を照射して第4の半導体膜を形成することを特徴としている。

【0013】上記各構成において、前記強光は、基板の

上側から、基板の下側からもしくは基板の下側および上側から照射されることを特徴としている。

【0014】また、上記各構成において、前記強光は、赤外光、可視光、または紫外光であることを特徴としている。

【0015】また、上記各構成において、前記強光は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光であることを特徴としている。

【0016】また、上記各構成において、前記強光を照射するときの処理室内の雰囲気は、還元性ガスであることを特徴としている。

【0017】また、上記各構成において、第1の半導体膜を形成するための基板は、ガラス基板、石英基板、金属基板、可撓性基板などを用いることができる。前記ガラス基板として、バリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板が挙げられる。また、可撓性基板とは、PET、PES、PEN、アクリルなどからなるフィルム状の基板のことであり、可撓性基板を用いて半導体装置を作製すれば、軽量化が見込まれる。可撓性基板の表面、または表面および裏面にアルミ膜（Al<sub>2</sub>O<sub>3</sub>、Al<sub>2</sub>N、Al<sub>2</sub>Oなど）、炭素膜（DLC（ダイヤモンドライクカーボン）など）、Si<sub>3</sub>N<sub>4</sub>などのバリア層を単層または多層にして形成すれば、耐久性などが向上するので望ましい。

【0018】また、本発明において、半導体膜に対して結晶化を助長する金属元素を用いた熱結晶化法を行ない、さらにレーザ結晶化を行なった後に、RTA法により半導体膜を加熱することで、リッジを低減することを特徴としている。特にRTA法を利用して前記熱結晶化法を行ない、さらにレーザ結晶化を行なった後に、再びRTA法により半導体膜を加熱するとリッジは劇的に低減される。金属元素を用いた熱結晶化法において、ファーネスアニール炉を用いた熱アニールによる長時間の加熱処理は、前記金属元素が結晶粒界に偏析してエネルギー的に安定な状態となる。このようにして得られる半導体膜を半導体膜Aとする。しかし、RTA法のように加熱時間が非常に短いと、前記金属元素が結晶粒界に偏析する前に前記加熱処理が終了するのでエネルギー的に不安定な状態となる場合がある。このようにして得られる半導体膜を半導体膜Bとする。半導体膜Bは、半導体膜Aよりエネルギー的に不安定である場合があるため、それぞれの半導体膜にレーザ結晶化を行ない、再び加熱処理を行なうと、半導体膜Bの方が原子が再配列しやすく、レーザ結晶化により形成されたリッジの低減も行なわれやすいと考えられる。

【0019】本明細書で開示する半導体装置の作製方法に関する発明の構成は、第1の半導体膜に金属元素を導入し、前記第1の半導体膜に加熱処理を行なって第2の

半導体膜を形成し、前記第2の半導体膜にレーザ光を照射して複数の凸部を有する第3の半導体膜を形成し、前記第3の半導体膜に強光を照射して第4の半導体膜を形成することを特徴としている。

【0020】また、他の発明の構成は、第1の半導体膜に金属元素を導入し、前記第1の半導体膜に強光を照射して第2の半導体膜を形成し、前記第2の半導体膜にレーザ光を照射して複数の凸部を有する第3の半導体膜を形成し、前記第3の半導体膜に強光を照射して第4の半導体膜を形成することを特徴としている。

【0021】上記各構成において、前記金属元素は、F、e、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Ag、Au、Sn、Sbから選ばれた一種または複数の元素であることを特徴としている。

【0022】上記各構成において、前記強光は、基板の上側から、基板の下側からもしくは基板の下側および上側から照射されることを特徴としている。

【0023】また、上記各構成において、前記強光は、赤外光、可視光、または紫外光であることを特徴としている。

【0024】また、上記各構成において、前記強光は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光であることを特徴としている。

【0025】また、上記各構成において、前記強光を照射するときの処理室内の雰囲気は、還元性ガスであることを特徴としている。

【0026】本発明は、半導体膜に対してレーザ光による結晶化を行なった後に、ランプ光源から発した光を照射する熱処理方法（RTA法：ラピッドサーマルアニール法）により前記半導体膜を加熱することで、リッジが低減され、膜質の向上した半導体膜を得ることができる。そしてこのような半導体膜を用いてTFTを作製すると、その電気的特性は向上し、さらにTFTを用いて半導体装置を作製すると、動作特性および信頼性を向上させることが可能となる。

【0027】

【発明の実施形態】本発明の実施形態について図1を用いて説明する。

【0028】まず、基板10上に下地絶縁膜11を形成する。基板10としては、透光性を有するガラス基板や石英基板を用いる。また、下地絶縁膜11としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜を形成する。ここでは下地膜11として単層構造を用いた例を示したが、前記絶縁膜の2層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。

【0029】次いで、下地絶縁膜上に半導体膜12を形成する。半導体膜12は、非晶質構造を有する半導体膜

を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜する。この半導体膜12の厚さは20～200nm、好ましくは25～80nm

（代表的には30～60nm）の厚さで形成する。半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム（SiGe）合金などで形成すると良い。

【0030】続いて、レーザ結晶化法を行なって結晶質半導体膜を形成する。もちろん、他の公知の結晶化処理（熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行なったのちにレーザ結晶化法を行なってもよい。このとき用いるレーザは、連続発振またはパルス発振の固体レーザまたは気体レーザまたは金属レーザが望ましい。なお、前記固体レーザとしては連続発振またはパルス発振のYAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti：サファイアレーザ等があり、前記気体レーザとしては連続発振またはパルス発振のKrFエキシマレーザ、Arレーザ、Krレーザ、CO<sub>2</sub>レーザ等があり、前記金属レーザとしては連続発振またはパルス発振のヘリウムカドミウムレーザ、銅蒸気レーザ、金蒸気レーザが挙げられる。エネルギー密度は、例えば0.01～100MW/cm<sup>2</sup>程度（好ましくは0.1～10MW/cm<sup>2</sup>）とし、0.5～2000cm/s程度の速度でレーザ光に対して相対的にステージを動かして照射する。また、パルス発振のレーザを用いる場合には、周波数300Hzとし、レーザエネルギー密度を100～1500mJ/cm<sup>2</sup>（代表的には200～1000mJ/cm<sup>2</sup>）とするのが望ましい。このとき、レーザ光を50～98%オーバーラップさせてもよい。レーザ結晶化により結晶質半導体膜の表面には複数の凸部（リッジ）が形成される。

【0031】続いて、加熱処理を行なう。加熱処理は、例えば、窒素雰囲気中にて、基板の下側に11本および上側に10本設置されたハロゲンランプ（赤外光）15を1～60秒（好ましくは30～60秒）、1～10回（好ましくは、2～6回）点灯させて行なう。なお、14はRTA装置を表している。ハロゲンランプが供給する熱（シリコンウエハに埋め込まれた熱電対で測定）は700～1300℃であるが、最適な加熱処理の条件は用いる基板や半導体膜の状態等によって異なるので、実施者が適宜決定すればよい。しかしながら、量産工程を考慮すると、700～750℃程度で5分以内の加熱処理が望ましい。

【0032】なお、本実施形態では、窒素雰囲気としたが、ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）といった不活性気体でもよい。また、光源としてハロゲンランプを用いているが、その他、キセノンランプのように、紫外光ランプを光源として用いるのも好ましい。

【0033】このような加熱処理を経た半導体膜のリッ

ジは、レーザ結晶化後のリッジに比べて低減されており、前記半導体膜を用いてTFTを作製すれば、その電気的特性は良好なものとなる。

【0034】以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行なうこととする。

#### 【0035】

【実施例】〔実施例1〕本発明の有効性を確認するため、以下のような実験を行なった。図2および図3を用いて説明する。

【0036】まず、基板10上に下地絶縁膜11を形成する。基板10としては、透光性を有するガラス基板や石英基板を用いる。また、下地絶縁膜11としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜を形成する。ここでは下地膜11として単層構造を用いた例を示したが、前記絶縁膜の2層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。本実施例では、ガラス基板を用い、前記ガラス基板上に、プラズマCVD法により、膜厚150nmの酸化窒化珪素膜を形成した。

【0037】次いで、下地絶縁膜上に半導体膜12を形成する。半導体膜12は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜する。この半導体膜12の厚さは20～200nm、好ましくは25～80nm（代表的には30～60nm）の厚さで形成する。半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム（SiGe）合金などで形成すると良い。本実施例では、プラズマCVD法により、膜厚55nmの非晶質珪素膜を形成した。

【0038】続いて、半導体膜に対しレーザ結晶化法を行なって結晶質半導体膜を形成する。もちろん、他の公知の結晶化処理（熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行なったのちにレーザ結晶化法を行なってもよい。本実施例では、酢酸ニッケル溶液（重量換算濃度10ppm、体積5ml）をスピコートにより半導体膜上に全面に塗布する。続いて、第1の加熱処理を行なって半導体膜を結晶化させる。本実施例では窒素雰囲気中にて基板の下側に11本および上側に10本設置されたハロゲンランプ（赤外光）15を1～60秒（好ましくは30～60秒）、1～10回（好ましくは、2～6回）点灯させ、温度は700℃、100秒間の加熱処理を行なった。（図2（B））次に、レーザ光を照射して、半導体膜の結晶性の向上を行なう。本実施例では、エキシマレーザを照射面における形状が線状になるよう光学系により成形して照射した。これにより半導体膜の結晶性の向上が行なわれたが、レーザ光の照射により半導体膜の表面には複数の凸部（リッジ）が形成される。（図2（C））

【0039】続いて、第2の加熱処理を行なう。加熱処

理は、例えば、窒素雰囲気中にて、基板の下側に11本および上側に10本設置されたハロゲンランプ（赤外光）15を1～60秒（好ましくは30～60秒）、1～10回（好ましくは、2～6回）点灯させて行なう。ハロゲンランプが供給する熱（シリコンウエハに埋め込まれた熱電対で測定）は700～1300℃であるが、最適な加熱処理の条件は半導体膜の状態等によって異なるので、実施者が適宜決定すればよい。しかしながら、量産工程を考慮すると、700～750℃程度で5分以内の加熱処理が望ましい。本実施例では、窒素雰囲気中にて、温度700℃および750℃の条件を振って、4分間の加熱処理を行なった。（図2（D））

【0040】このようにして形成された半導体膜における第2の加熱処理の前後でのリッジについてAFMにより、測定面における粗さの平均を示したものである自乗平均面粗さ（Rms）および山と谷との最大高低差（P-V）を測定した。その結果を図3に示す。図3（A）より、Rmsの値が低減されており、このことから測定面における粗さの平均が低減されたことがわかる。また、図3（B）より、P-Vの値が低減されており、このことから測定面における最大高低差が小さくなったことが分かる。つまり、第2の加熱処理後にリッジが低減していることがわかる。

【0041】以上のように、本発明がリッジを低減するのに極めて有効であることが確認できた。このような半導体膜を用いてTFTを作製すれば、その電気的特性は良好なものとなる。

【0042】〔実施例2〕本実施例では、実施例1とは異なる作製工程を経て、強光を照射してリッジを低減する方法について図1を用いて説明する。

【0043】まず、実施例1にしたがって、下地絶縁膜および半導体膜を形成する。

【0044】続いて、レーザ結晶化法を行なって半導体膜を結晶化する。もちろん、他の公知の結晶化処理（熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行なったのちにレーザ結晶化法を行なってもよい。本実施例では、YAGレーザの第2高調波を照射面における形状が線状になるよう光学系により成形して照射する。これにより半導体膜の結晶化が行なわれたが、前記半導体膜の表面には複数の凸部（リッジ）が形成される。（図1（B））

【0045】続いて、加熱処理を行なう。加熱処理は、例えば、窒素雰囲気中にて、基板の下側に11本および上側に10本設置されたハロゲンランプ（赤外光）15を1～60秒（好ましくは30～60秒）、1～10回（好ましくは、2～6回）点灯させて行なう。ハロゲンランプが供給する熱（シリコンウエハに埋め込まれた熱電対で測定）は700～1300℃であるが、最適な加熱処理の条件は半導体膜の状態等によって異なるので、実施者が適宜決定すればよい。しかしながら、量産工程



を考慮すると、700～750℃程度で5分以内の加熱処理が望ましい。本実施例では、窒素雰囲気中にて、温度725℃で5分間の加熱処理を行なう。(図1

(C))

【0046】なお、本実施形態では、窒素雰囲気としたが、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)といった不活性気体でもよい。また、光源としてハロゲンランプを用いているが、その他、キセノンランプのように、紫外光ランプを光源として用いるのも好ましい。

【0047】このような加熱処理を経た半導体膜のリッジは、レーザ結晶化後のリッジに比べて低減されており、前記半導体膜を用いてTFTを作製すれば、その電気的特性は良好なものとなる。

【0048】[実施例3] 本実施例では、実施例1および実施例2とは異なる作製工程を経て、強光を照射してリッジを低減する方法について図2を用いて説明する。

【0049】まず、実施例1にしたがって、下地絶縁膜および半導体膜を形成する。

【0050】続いて、レーザ結晶化法を行なって半導体膜を結晶化する。もちろん、他の公知の結晶化処理(熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行なったのちにレーザ結晶化法を行なってもよい。本実施例では、ニッケルをスパッタ法により半導体膜に導入する。(図2(A)) 続いて、第1の加熱処理を行なって半導体膜を結晶化させる。本実施例では、図示しないが、ファーネスアニール炉を用いた熱アニールを行ない、温度550度の窒素雰囲気中に4時間曝す。次に、レーザ光を照射して、半導体膜の結晶性の向上を行なう。本実施例では、エキシマレーザを照射面における形状が線状になるよう光学系により成形して照射した。これにより半導体膜の結晶性の向上が行なわれたが、レーザ光の照射により半導体膜の表面には複数の凸部(リッジ)が形成される。(図2(C))

【0051】続いて、第2の加熱処理を行なう。加熱処理は、例えば、窒素雰囲気中にて、基板の下側に11本および上側に10本設置されたハロゲンランプ(赤外光)15を1～60秒(好ましくは30～60秒)、1～10回(好ましくは、2～6回)点灯させて行なう。ハロゲンランプが供給する熱(シリコンウエハに埋め込まれた熱電対で測定)は700～1300℃であるが、最適な加熱処理の条件は半導体膜の状態等によって異なるので、実施者が適宜決定すればよい。しかしながら、量産工程を考慮すると、700～750℃程度で5分以内の加熱処理が望ましい。本実施例では、窒素雰囲気中にて、温度700℃、4分間の加熱処理を行なった。

(図2(D))

【0052】なお、本実施形態では、窒素雰囲気としたが、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)といった不活性気体でもよい。また、光源としてハ

ロゲンランプを用いているが、その他、キセノンランプのように、紫外光ランプを光源として用いるのも好ましい。

【0053】このような加熱処理を経た半導体膜のリッジは、レーザ結晶化後のリッジに比べて低減されており、前記半導体膜を用いてTFTを作製すれば、その電気的特性は良好なものとなる。

【0054】[実施例4] 本実施例では、実施例1乃至3とは異なる作製工程を経て、強光を照射してリッジを低減する方法について図17を用いて説明する。

【0055】まず、基板10として、透光性を有するガラス基板、石英基板を用いる。本実施例では基板10としてガラス基板を用いる。

【0056】導電膜を形成し、エッチングを行なって所望の形状の導電膜21を形成する。導電膜の材料に特に限定はないが、耐熱性を有するものを用い、Ta、W、Ti、Mo、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした結晶質珪素膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。もちろん、導電膜は単層ではなく、積層としてもよい。本実施例では、膜厚400nmのW膜からなる導電膜21を形成する。

【0057】そして、導電膜21を覆う絶縁膜22としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜を形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化珪素膜を形成する。

【0058】絶縁膜上に半導体膜23を形成する。半導体膜23は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜する。この半導体膜23の厚さは25～80nm(好ましくは30～60nm)の厚さで形成する。半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム(SiGe)合金などで形成すると良い。本実施例では、プラズマCVD法により、膜厚55nmの非晶質珪素膜を形成する。(図17(A))

【0059】そして、レーザ結晶化法を行なって半導体膜を結晶化する。もちろん、他の公知の結晶化処理(熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行なったのちにレーザ結晶化法を行なってもよい。本実施例では、YAGレーザの第2高調波を照射面における形状が線状になるよう光学系により成形して照射する。これにより半導体膜の結晶化が行なわれたが、前記半導体膜の表面には複数の凸部(リッジ)が形成される。(図17(B))

【0060】続いて、加熱処理を行なう。加熱処理は、例えば、窒素雰囲気中にて、基板の下側に11本および上側に10本設置されたハロゲンランプ(赤外光)15を1～60秒(好ましくは30～60秒)、1～10回

(好ましくは、2～6回)点灯させて行なう。ハロゲンランプが供給する熱(シリコンウエハに埋め込まれた熱電対で測定)は700～1300℃であるが、最適な加熱処理の条件は半導体膜の状態等によって異なるので、実施者が適宜決定すればよい。しかしながら、量産工程を考慮すると、700～750℃程度で5分以内の加熱処理が望ましい。本実施例では、窒素雰囲気中にて、温度725℃で5分間の加熱処理を行なう。(図17(C))

【0061】なお、本実施形態では、窒素雰囲気としたが、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)といった不活性気体でもよい。また、光源としてハロゲンランプを用いているが、その他、キセノンランプのように、紫外光ランプを光源として用いるのも好ましい。

【0062】このような加熱処理を経た半導体膜のリッジは、レーザ結晶化後のリッジに比べて低減されており、前記半導体膜を用いてTFTを作製すれば、その電気的特性は良好なものとなる。

【0063】[実施例5] 本実施例ではアクティブマトリクス基板の作製方法について図4～図8を用いて説明する。

【0064】まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板320を用いる。なお、基板320としては、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理温度に耐える耐熱性が有するプラスチック基板を用いてもよい。

【0065】次いで、基板320上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜321を形成する。本実施例では下地膜321として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いてもよい。下地膜321の一層目としては、プラズマCVD法を用い、SiH<sub>4</sub>、N<sub>2</sub>H<sub>4</sub>、及びN<sub>2</sub>Oを反応ガスとして成膜される酸化窒化珪素膜321aを10～200nm(好ましくは50～100nm)形成する。本実施例では、膜厚50nmの酸化窒化珪素膜321a(組成比Si=32%、O=27%、N=24%、H=17%)を形成した。次いで、下地膜321の二層目としては、プラズマCVD法を用い、SiH<sub>4</sub>、及びN<sub>2</sub>Oを反応ガスとして成膜される酸化窒化珪素膜321bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜321b(組成比Si=32%、O=59%、N=7%、H=2%)を形成する。

【0066】次いで、下地膜上に半導体膜322を形成する。半導体膜322は、非晶質構造を有する半導体膜

を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により、20～200nm、好ましくは25～80nm(代表的には30～60nm)の厚さで形成する。半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム(SiGe)合金などで形成すると良い。続いて、レーザ結晶化法およびその他の公知の結晶化処理(熱結晶化法、ニッケルなどの触媒を用いた熱結晶化法等)を行なって、前記半導体膜を結晶化する。そして、得られた結晶質半導体膜を所望の形状にパターンニングして、半導体層402～406を形成する。本実施例では、レーザ結晶化法を適用する。

【0067】レーザ結晶化法も適用する場合には、パルス発振型または連続発光型のエキシマレーザやYAGレーザ、YVO<sub>4</sub>レーザ等を用いることができる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数300Hzとし、レーザエネルギー密度を100～1500mJ/cm<sup>2</sup>、好ましくは100～800mJ/cm<sup>2</sup>(代表的には200～700mJ/cm<sup>2</sup>)とする。また、YAGレーザを用いる場合にはその第2高調波を用いパルス発振周波数1～300Hzとし、レーザエネルギー密度を200～1500mJ/cm<sup>2</sup>、好ましくは300～1000mJ/cm<sup>2</sup>(代表的には350～800mJ/cm<sup>2</sup>)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザビームを基板全面に渡って照射し、この時の線状レーザビームの重ね合わせ率(オーバーラップ率)を50～98%として行ってもよい。また、連続発光型のレーザを用いる場合には、エネルギー密度は、例えば0.01～100MW/cm<sup>2</sup>程度(好ましくは0.1～10MW/cm<sup>2</sup>)とし、0.5～2000cm/s程度の速度でレーザ光に対して相対的にステージを動かして照射する。

【0068】続いて、レーザ光の照射によって形成されたリッジを低減するために、強光を照射する。例えば、窒素雰囲気中にて、基板の下側に11本および上側に10本設置されたハロゲンランプ(赤外光)15を1～60秒(好ましくは30～60秒)、1～10回(好ましくは、2～6回)点灯させて行なう。ハロゲンランプが供給する熱(シリコンウエハに埋め込まれた熱電対で測定)は700～1300℃であるが、最適な加熱処理の条件は半導体膜の状態等によって異なるので、実施者が適宜決定すればよい。しかしながら、量産工程を考慮すると、700～750℃程度で5分以内の加熱処理が望ましい。本実施例では、700℃の窒素雰囲気中に4分間曝す。

【0069】半導体層402～406を形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行なってもよい。

【0070】次いで、半導体層402～406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。もちろん、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0071】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0072】次いで、図4（C）に示すように、ゲート絶縁膜407上に膜厚20～100nmの第1の導電膜408と、膜厚100～400nmの第2の導電膜409とを積層形成する。本実施例では、膜厚30nmのTa<sub>2</sub>N膜からなる第1の導電膜408と、膜厚370nmのW膜からなる第2の導電膜409を積層形成した。Ta<sub>2</sub>N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン（WF<sub>6</sub>）を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW（純度99.9999%）のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができた。

【0073】なお、本実施例では、第1の導電膜408をTa<sub>2</sub>N、第2の導電膜409をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした結晶質珪素膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル（Ta）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン（TiN）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta<sub>2</sub>N）膜で形成し、第2の導電

膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta<sub>2</sub>N）膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0074】次に、フォトリソグラフィ法を用いてレジストからなるマスク410～415を形成し、電極及び配線を形成するための第1のエッチング処理を行なう。第1のエッチング処理では第1及び第2のエッチング条件で行なう。本実施例では第1のエッチング条件として、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25：25：10（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業（株）製のICPを用いたドライエッチング装置（Model E645-□ICP）を用いた。基板側（試料ステージ）にも150WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。

【0075】この後、レジストからなるマスク410～415を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とを用い、それぞれのガス流量比を30：30（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側（試料ステージ）にも200WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した第2のエッチング条件ではW膜及びTa<sub>2</sub>N膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。

【0076】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15～45°となる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層417～422（第1の導電層417a～422aと第2の導電層417b～422b）を形成する。416はゲート絶縁膜であり、第1の形状の導電層417～422で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。

【0077】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素および結晶化を助長するために用いた金属元素をゲッタリングするための希ガス元素を添加する。（図5（A））ドーピング処理はイオンドーピング法、

若しくはイオン注入法で行なえば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を $60 \sim 100 \text{ keV}$ として行なう。本実施例ではドーズ量を $1.5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を $80 \text{ keV}$ として行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。また、希ガス元素としてアルゴンを用いた。この場合、導電層417～421がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の高濃度不純物領域306～310が形成される。第1の高濃度不純物領域306～310には $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。一方、アルゴンは $90 \text{ keV}$ の加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ のドーズ量で注入した。

【0078】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行なう。ここでは、エッチングガスに $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の導電層428b～433bを形成する。一方、第1の導電層417a～422aは、ほとんどエッチングされず、第2の形状の導電層428～433を形成する。

【0079】次いで、レジストからなるマスクを除去せずに、図5(B)に示すように、第2のドーピング処理を行なう。この場合、第1のドーピング処理よりもドーズ量を下げて、 $70 \sim 120 \text{ keV}$ の高い加速電圧で、n型を付与する不純物元素を導入する。本実施例ではドーズ量を $1.5 \times 10^{14} / \text{cm}^2$ とし、加速電圧を $90 \text{ keV}$ として行なった。第2のドーピング処理は第2の形状の導電層428～433をマスクとして用い、第2の導電層428b～433bの下方における半導体層にも不純物元素が導入され、新たに第2の高濃度不純物領域423a～427aおよび低濃度不純物領域423b～427bが形成される。

【0080】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク434aおよび434bを形成して、図5(C)に示すように、第3のエッチング処理を行なう。エッチング用ガスに $\text{SF}_6$ および $\text{Cl}_2$ とを用い、ガス流量比を $50:10(\text{sccm})$ とし、 $1.3 \text{ Pa}$ の圧力でコイル型の電極に $500 \text{ W}$ のRF( $13.56 \text{ MHz}$ )電力を投入してプラズマを生成し、約30秒のエッチング処理を行なう。基板側(資料ステージ)には $10 \text{ W}$ のRF( $13.56 \text{ MHz}$ )電力を投入し、実質的には不の自己バイアス電圧を印加する。こうして、前記大3のエッチング処理により、pチャネル型TFTおよび画素部のTFT(画素TFT)のTa<sub>2</sub>N膜をエッチングして、第3の形状の導電層435～438を形成する。

【0081】次いで、レジストからなるマスクを除去し

た後、第2の形状の導電層428、430および第2の形状の導電層435～438をマスクとして用い、ゲート絶縁膜416を選択的に除去して絶縁層439～444を形成する。(図6(A))

【0082】次いで、新たにレジストからなるマスク445a～445cを形成して第3のドーピング処理を行なう。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域446、447を形成する。第2の導電層435a、438aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域446、447はジボラン( $\text{B}_2\text{H}_6$ )を用いたイオンドープ法で形成する。(図6(B))この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク445a～445cで覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域446、447にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21} / \text{cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、pチャネル型TFTの活性層となる半導体層の一部が露呈しているため、不純物元素(ボロン)を添加しやすい利点を有している。

【0083】以上までの工程で、それぞれの半導体層に不純物領域が形成される。

【0084】次いで、レジストからなるマスク445a～445cを除去して第1の層間絶縁膜461を形成する。この第1の層間絶縁膜461としては、プラズマCVD法またはスパッタ法を用い、厚さを $100 \sim 200 \text{ nm}$ として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚 $150 \text{ nm}$ の酸化窒化珪素膜を形成した。もちろん、第1の層間絶縁膜461は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0085】次いで、図6(C)に示すように、加熱処理を行なって、半導体層の結晶性の回復、それぞれの半導体層に添加された不純物元素の活性化を行なう。この加熱処理はファーネスアニール炉を用いる熱アニール法で行なう。熱アニール法としては、酸素濃度が $1 \text{ ppm}$ 以下、好ましくは $0.1 \text{ ppm}$ 以下の窒素雰囲気中で $400 \sim 700^\circ\text{C}$ 、代表的には $500 \sim 550^\circ\text{C}$ で行えばよく、本実施例では $550^\circ\text{C}$ 、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0086】レーザにより活性化を行う場合に用いるレ

ーザは、連続発振またはパルス発振の固体レーザーまたは気体レーザーまたは金属レーザーが望ましい。このとき、連続発振のレーザーを用いるのであれば、レーザー光のエネルギー密度は  $0.01 \sim 100 \text{ MW/cm}^2$  程度（好ましくは  $0.01 \sim 10 \text{ MW/cm}^2$ ）が必要であり、レーザー光に対して相対的に基板を  $0.5 \sim 2000 \text{ cm/s}$  の速度で移動させる。また、パルス発振のレーザーを用いるのであれば、周波数  $300 \text{ Hz}$  とし、レーザーエネルギー密度を  $50 \sim 1000 \text{ mJ/cm}^2$ （代表的には  $50 \sim 700 \text{ mJ/cm}^2$ ）とするのが望ましい。このとき、レーザー光を  $50 \sim 98\%$  オーバーラップさせても良い。

【0087】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域 423a、425a、426a、446a、447a を結晶化する。そのため、前記不純物領域に前記金属元素がゲッターリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有する TFT はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0088】また、第1の層間絶縁膜を形成する前に加熱処理を行なっても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（珪素を主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で加熱処理を行なうことが好ましい。

【0089】レーザーアニールを行なう工程で、同時に加熱処理を行わない場合は、 $3 \sim 100\%$  の水素を含む雰囲気中で、 $300 \sim 550^\circ\text{C}$  で  $1 \sim 12$  時間の熱処理を行ない、半導体層を水素化する工程を行なうことが望ましい。本実施例では水素を約  $3\%$  の含む窒素雰囲気中で  $410^\circ\text{C}$ 、1 時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行なっても良い。

【0090】次いで、第1の層間絶縁膜 461 上に無機絶縁膜材料または有機絶縁物材料から成る第2の層間絶縁膜 462 を形成する。本実施例では、膜厚  $1.6 \mu\text{m}$  のアクリル樹脂膜を形成したが、粘度が  $10 \sim 1000 \text{ cp}$ 、好ましくは  $40 \sim 200 \text{ cp}$  のものを用い、表面に凸凹が形成されるものを用いた。

【0091】本実施例では、鏡面反射を防ぐため、表面に凸凹が形成される第2の層間絶縁膜を形成することによって画素電極の表面に凸凹を形成した。また、画素電極の表面に凹凸を持たせて光散乱性を図るため、画素電極の下方の領域に凸部を形成してもよい。その場合、凸部の形成は、TFT の形成と同じフォトリソで行なうことができるため、工程数の増加なく形成することがで

きる。なお、この凸部は配線及び TFT 部以外の画素部領域の基板上に適宜設ければよい。こうして、凸部を覆う絶縁膜の表面に形成された凸凹に沿って画素電極の表面に凸凹が形成される。

【0092】また、第2の層間絶縁膜 462 として表面が平坦化する膜を用いてもよい。その場合は、画素電極を形成した後、公知のサンドブラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが好ましい。

【0093】そして、駆動回路 506 において、各不純物領域とそれぞれ電気的に接続する配線 463 ~ 467 を形成する。なお、これらの配線は、膜厚  $50 \text{ nm}$  の Ti 膜と、膜厚  $500 \text{ nm}$  の合金膜（Al と Ti との合金膜）との積層膜をパターニングして形成する。

【0094】また、画素部 507 においては、画素電極 470、ゲート配線 469、接続電極 468 を形成する。（図7）この接続電極 468 によりソース配線（443b と 449 の積層）は、画素 TFT と電気的な接続が形成される。また、ゲート配線 469 は、画素 TFT のゲート電極と電気的な接続が形成される。また、画素電極 470 は、画素 TFT のドレイン領域 442 と電気的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層 458 と電気的な接続が形成される。また、画素電極 470 としては、Al または Ag を主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

【0095】以上のようにして、n チャネル型 TFT 501 と p チャネル型 TFT 502 からなる CMOS 回路、及び n チャネル型 TFT 503 を有する駆動回路 506 と、画素 TFT 504、保持容量 505 とを有する画素部 507 を同一基板上に形成することができる。こうして、アクティブマトリクス基板が完成する。

【0096】駆動回路 506 の n チャネル型 TFT 501 はチャネル形成領域 423c、ゲート電極の一部を構成する第1の導電層 428a と重なる低濃度不純物領域 423b（GOLD 領域）、とソース領域またはドレイン領域として機能する高濃度不純物領域 423a を有している。この n チャネル型 TFT 501 と電極 466 で接続して CMOS 回路を形成する p チャネル型 TFT 502 にはチャネル形成領域 446d、ゲート電極の外側に形成される不純物領域 446b、446c、ソース領域またはドレイン領域として機能する高濃度不純物領域 446a を有している。また、n チャネル型 TFT 503 にはチャネル形成領域 425c、ゲート電極の一部を構成する第1の導電層 430a と重なる低濃度不純物領域 425b（GOLD 領域）、とソース領域またはドレイン領域として機能する高濃度不純物領域 425a を有している。

【0097】画素部の画素 TFT 504 にはチャネル形

成領域426c、ゲート電極の外側に形成される低濃度不純物領域426b(LDD領域)とソース領域またはドレイン領域として機能する高濃度不純物領域426aを有している。また、保持容量505の一方の電極として機能する半導体層447a、447bには、それぞれp型を付与する不純物元素が添加されている。保持容量505は、絶縁膜444を誘電体として、電極(438aと438bの積層)と、半導体層447a~447cとで形成している。

【0098】また、本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

【0099】また、本実施例で作製するアクティブマトリクス基板の画素部の上面図を図8に示す。なお、図4~図7に対応する部分には同じ符号を用いている。図7中の鎖線A-A'は図8中の鎖線A-A'で切断した断面図に対応している。また、図7中の鎖線B-B'は図8中の鎖線B-B'で切断した断面図に対応している。

【0100】なお、本実施例は実施例1乃至4と自由に組み合わせることが可能である。

【0101】[実施例6]本実施例では、実施例5で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図9を用いる。本実施例では本発明の記載がないが、実施例5で作製されるアクティブマトリクス基板を用いているため、本発明を適用していると言える。

【0102】まず、実施例5に従い、図7の状態のアクティブマトリクス基板を得た後、図7のアクティブマトリクス基板上、少なくとも画素電極470上に配向膜567を形成しラビング処理を行なう。なお、本実施例では配向膜567を形成する前に、アクリル樹脂膜等の有機樹脂膜をバターンニングすることによって基板間隔を保持するための柱状のスペーサ572を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0103】次いで、対向基板569を用意する。次いで、対向基板569上に着色層570、571、平坦化膜573を形成する。赤色の着色層570と青色の着色層572とを重ねて、遮光部を形成する。また、赤色の着色層と緑色の着色層とを一部重ねて、遮光部を形成してもよい。

【0104】本実施例では、実施例5に示す基板を用いている。従って、実施例5の画素部の上面図を示す図8では、少なくともゲート配線469と画素電極470の隙間と、ゲート配線469と接続電極468の隙間と、接続電極468と画素電極470の隙間を遮光する必要がある。本実施例では、それらの遮光すべき位置に着色層の積層からなる遮光部が重なるように各着色層を配置して、対向基板を貼り合わせた。

【0105】このように、ブラックマスク等の遮光層を形成することなく、各画素間の隙間を着色層の積層からなる遮光部で遮光することによって工程数の低減を可能とした。

【0106】次いで、平坦化膜573上に透明導電膜からなる対向電極576を少なくとも画素部に形成し、対向基板の全面に配向膜574を形成し、ラビング処理を施した。

【0107】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材568で貼り合わせる。シール材568にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料575を注入し、封止剤(図示せず)によって完全に封止する。液晶材料575には公知の液晶材料を用いれば良い。このようにして図9に示す反射型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、対向基板のみに偏光板(図示しない)を貼りつけた。そして、公知の技術を用いてFPCを貼りつけた。

【0108】以上のようにして作製される液晶表示パネルは、リッジが低減されている半導体膜を用いて作製されるTFTを有している。そのため、動作特性および信頼性の向上を可能としている。そして、このような液晶表示パネルは各種電子機器の表示部として良好に用いることができる。

【0109】なお、本実施例は実施例1乃至5と自由に組み合わせることが可能である。

【0110】[実施例7]本実施例では、実施例5で作製したアクティブマトリクス基板から、実施例6とは異なるアクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図10を用いる。本実施例では本発明の記載がないが、実施例5で作製されるアクティブマトリクス基板を用いているため、本発明を適用していると言える。

【0111】まず、実施例5に従い、図7の状態のアクティブマトリクス基板を得た後、図7のアクティブマトリクス基板上に配向膜1067を形成しラビング処理を行なう。なお、本実施例では配向膜1067を形成する前に、アクリル樹脂膜等の有機樹脂膜をバターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0112】次いで、対向基板1068を用意する。この対向基板1068には、着色層1074、遮光層1075が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層1077を設けた。このカラーフィルタと遮光層1077とを覆う平坦化膜1076を設けた。次いで、平坦化膜17

6上に透明導電膜からなる対向電極1069を画素部に形成し、対向基板1068の全面に配向膜1070を形成し、ラビング処理を施した。

【0113】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材1071で貼り合わせる。シール材1071にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料1073を注入し、封止剤（図示せず）によって完全に封止する。液晶材料1073には公知の液晶材料を用いれば良い。このようにして図10に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

【0114】以上のようにして作製される液晶表示パネルはリッジが低減されている半導体膜を用いて作製されるTFTを有している。そのため、動作特性および信頼性の向上を可能としている。そして、このような液晶表示パネルは各種電子機器の表示部として良好に用いることができる。

【0115】なお、本実施例は実施例1乃至4と自由に組み合わせることが可能である。

【0116】〔実施例8〕本実施例では、本発明を用いて発光装置を作製した例について説明する。本実施例では本発明の記載がないが、実施例5で作製されるTFTを用いているため、本発明を適用していると言える。本明細書において、発光装置とは、基板上に形成された発光素子を該基板とカバー材の間に封入した表示用パネルおよび該表示用パネルにICを実装した表示用モジュールを総称したものである。なお、発光素子は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られる有機化合物を含む層（発光層）と陽極層と、陰極層とを有する。また、有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）があり、これらのうちどちらか、あるいは両方の発光を含む。

【0117】なお、本明細書中では、発光素子において陽極と陰極の間に形成された全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に発光素子は、陽極層、発光層、陰極層が順に積層された構造を有しており、この構造に加えて、陽極層、正孔注入層、発光層、陰極層や、陽極層、正孔注入層、発光層、電子輸送層、陰極層等の順に積層した構造を有していることもある。

【0118】図11は本実施例の発光装置の断面図である。図11において、基板700上に設けられたスイッ

チングTFT603は図11のnチャンネル型TFT503を用いて形成される。したがって、構造の説明はnチャンネル型TFT503の説明を参照すれば良い。

【0119】なお、本実施例ではチャンネル形成領域が二つ形成されるダブルゲート構造としているが、チャンネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0120】基板700上に設けられた駆動回路は図11のCMOS回路を用いて形成される。従って、構造の説明はnチャンネル型TFT501とpチャンネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0121】また、配線701、703はCMOS回路のソース配線、702はドレイン配線として機能する。また、配線704はソース配線708とスイッチングTFTのソース領域とを電気的に接続する配線として機能し、配線705はドレイン配線709とスイッチングTFTのドレイン領域とを電気的に接続する配線として機能する。

【0122】なお、電流制御TFT604は図11のpチャンネル型TFT502を用いて形成される。従って、構造の説明はpチャンネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0123】また、配線706は電流制御TFTのソース配線（電流供給線に相当する）であり、707は電流制御TFTの画素電極711上に重ねることで画素電極711と電気的に接続する電極である。

【0124】なお、711は、透明導電膜からなる画素電極（発光素子の陽極）である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。画素電極711は、上記配線を形成する前に平坦な層間絶縁膜710上に形成する。本実施例においては、樹脂からなる平坦化膜710を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0125】画素電極711を形成後、図11に示すようにバンク712を形成する。バンク712は100～400nmの珪素を含む絶縁膜もしくは有機樹脂膜をパターニングして形成すれば良い。

【0126】なお、バンク712は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。

本実施例ではバンク712の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ ）となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

【0127】画素電極711の上には発光層713が形成される。なお、図11では一画素しか図示していないが、本実施例ではR（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けている。また、本実施例では蒸着法により低分子系有機発光材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアン（CuPc）膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体（Alq3）膜を設けた積層構造としている。Alq3にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0128】但し、以上の例は発光層として用いることのできる有機発光材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて発光層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例では低分子系有機発光材料を発光層として用いる例を示したが、中分子系有機発光材料や高分子系有機発光材料を用いても良い。なお、本明細書中において、昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが $10 \mu \text{m}$ 以下の有機発光材料を中分子系有機発光材料とする。また、高分子系有機発光材料を用いる例として、正孔注入層として20nmのポリチオフェン（PEDOT）膜をスピン塗布法により設け、その上に発光層として100nm程度のパラフェニレンビニレン（PPV）膜を設けた積層構造としても良い。なお、PPVの $\pi$ 共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機発光材料や無機材料は公知の材料を用いることができる。

【0129】次に、発光層713の上には導電膜からなる陰極714が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0130】この陰極714まで形成された時点で発光素子715が完成する。なお、ここでいう発光素子715は、画素電極（陽極）710、発光層713及び陰極714で形成されたダイオードを指す。

【0131】発光素子715を完全に覆うようにしてパッシベーション膜716を設けることは有効である。パ

ッシベーション膜716としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0132】この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC（ダイヤモンドライクカーボン）膜を用いることは有効である。DLC膜は室温から $100^\circ \text{C}$ 以下の温度範囲で成膜可能であるため、耐熱性の低い発光層713の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、発光層713の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に発光層713が酸化するといった問題を防止できる。

【0133】さらに、パッシベーション膜716上に封止材717を設け、カバー材718を貼り合わせる。封止材717としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材718はガラス基板や石英基板やプラスチック基板（プラスチックフィルムも含む）の両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を形成したものをを用いる。

【0134】こうして図11に示すような構造の発光装置が完成する。なお、バンク712を形成した後、パッシベーション膜716を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材718を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

【0135】こうして、プラスチック基板を母体とする絶縁体501上にnチャネル型TFT601、602、スイッチングTFT（nチャネル型TFT）603および電流制御TFT（nチャネル型TFT）604が形成される。ここまでの製造工程で必要としたマスク数は、一般的なアクティブマトリクス型発光装置よりも少ない。

【0136】即ち、TFTの製造工程が大幅に簡略化されており、歩留まりの向上および製造コストの低減が実現できる。

【0137】さらに、図11を用いて説明したように、ゲート電極に絶縁膜を介して重なる不純物領域を設けることによりホットキャリア効果に起因する劣化に強いnチャネル型TFTを形成することができる。そのため、信頼性の高い発光装置を実現できる。

【0138】また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、 $\gamma$ 補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも



形成しうる。

【0139】さらに、発光素子を保護するための封止（または封入）工程まで行った後の本実施例の発光装置について図12を用いて説明する。なお、必要に応じて図11で用いた符号を引用する。

【0140】図12（A）は、発光素子の封止までを行った状態を示す上面図、図12（B）は図12（A）をC-C'で切断した断面図である。点線で示された801はソース側駆動回路、806は画素部、807はゲート側駆動回路である。また、901はカバー材、902は第1シール材、903は第2シール材であり、第1シール材902で囲まれた内側には封止材907が設けられる。

【0141】なお、904はソース側駆動回路801及びゲート側駆動回路807に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）905からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0142】次に、断面構造について図12（B）を用いて説明する。基板700の上方には画素部806、ゲート側駆動回路807が形成されており、画素部806は電流制御TFT604とそのドレインに電気的に接続された画素電極711を含む複数の画素により形成される。また、ゲート側駆動回路807はnチャネル型TFT601とpチャネル型TFT602とを組み合わせたCMOS回路（図11参照）を用いて形成される。

【0143】画素電極711は発光素子の陽極として機能する。また、画素電極711の両端にはバンク712が形成され、画素電極711上には発光層713および発光素子の陰極714が形成される。

【0144】陰極714は全面素子に共通の配線としても機能し、接続配線904を経由してFPC905に電気的に接続されている。さらに、画素部806及びゲート側駆動回路807に含まれる素子は全て陰極714およびパッシベーション膜567で覆われている。

【0145】また、第1シール材902によりカバー材901が貼り合わされている。なお、カバー材901と発光素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第1シール材902の内側には封止材907が充填されている。なお、第1シール材902、封止材907としてはエポキシ系樹脂を用いるのが好ましい。また、第1シール材902はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材907の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【0146】発光素子を覆うようにして設けられた封止材907はカバー材901を接着するための接着剤としても機能する。また、本実施例ではカバー材901を構成するプラスチック基板901aの材料としてFRP（Fiberglass-Reinforced Plastics）、PVF（ポリビニルフロライド）、マイラー、ポリエステルまたはアクリルを用いることができる。

【0147】また、封止材907を用いてカバー材901を接着した後、封止材907の側面（露呈面）を覆うように第2シール材903を設ける。第2シール材903は第1シール材902と同じ材料を用いることができる。

【0148】以上のような構造で発光素子を封止材907に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等の発光層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置が得られる。

【0149】以上のようにして作製される発光装置は、リッジが低減されている半導体膜を用いて作製されるTFTを有している。そのため、動作特性および信頼性の向上を可能としている。そして、このような発光装置は各種電子機器の表示部として良好に用いることができる。

【0150】なお、本実施例は実施例1乃至5と自由に組み合わせることが可能である。

【0151】〔実施例9〕本実施例では、実施例8とは異なる画素構造を有した発光装置について説明する。説明には図13を用いる。本実施例では本発明の記載がないが、実施例5で作製されるTFTを用いているため、本発明を適用していると言える。

【0152】図13では電流制御用TFT4501として図7のnチャネル型TFT504と同一構造のTFTを用いる。勿論、電流制御用TFT4501のゲート電極はスイッチング用TFT4402のドレイン配線に電気的に接続されている。また、電流制御用TFT4501のドレイン配線は画素電極4504に電気的に接続されている。

【0153】本実施例では、導電膜からなる画素電極4504が発光素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0154】画素電極4504の上には発光層4505が形成される。なお、図13では一画素しか図示していないが、本実施例ではG（緑）に対応した発光層を蒸着法及び塗布法（好ましくはスピンコーティング法）により形成している。具体的には、電子注入層として20nm厚のフッ化リチウム（LiF）膜を設け、その上に発光層として70nm厚のPPV（ポリパラフェニレンビニレン）膜を設けた積層構造としている。

【0155】次に、発光層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0156】この陽極4506まで形成された時点で発光素子4507が完成する。なお、ここでいう発光素子4507は、画素電極（陰極）4504、発光層4505及び陽極4506で形成されたダイオードを指す。

【0157】発光素子4507を完全に覆うようにしてパッシベーション膜4508を設けることは有効である。パッシベーション膜4508としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0158】さらに、パッシベーション膜4508上に封止材4509を設け、カバー材4510を貼り合わせる。封止材4509としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材4510はガラス基板や石英基板やプラスチック基板（プラスチックフィルムも含む）の両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を形成したものをを用いる。

【0159】以上のようにして作製される発光装置は、リッジが低減されている半導体膜を用いて作製されるTFTを有している。そのため、動作特性および信頼性の向上を可能としている。そして、このような発光装置は各種電子機器の表示部として良好に用いることができる。

【0160】なお、本実施例は実施例1乃至5と自由に組み合わせることが可能である。

【0161】[実施例10]本発明を適用して、本願発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ECディスプレイ、アクティブマトリクス型発光ディスプレイ）に用いることが出来る。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施出来る。

【0162】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図14、図15及び図16に示す。

【0163】図14（A）はパーソナルコンピュータであり、本体3001、画像入力部3002、表示部3003、キーボード3004等を含む。本発明を表示部3003に適用することができる。

【0164】図14（B）はビデオカメラであり、本体3101、表示部3102、音声入力部3103、操作スイッチ3104、バッテリー3105、受像部3106等を含む。本発明を表示部3102に適用することができる。

【0165】図14（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体3201、カメラ部3202、受像部3203、操作スイッチ3204、表示部3205等を含む。本発明は表示部3205に適用することができる。

【0166】図14（D）はゴーグル型ディスプレイであり、本体3301、表示部3302、アーム部3303等を含む。本発明は表示部3302に適用することができる。

【0167】図14（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体3401、表示部3402、スピーカ部3403、記録媒体3404、操作スイッチ3405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行なうことができる。本発明は表示部3402に適用することができる。

【0168】図14（F）はデジタルカメラであり、本体3501、表示部3502、接眼部3503、操作スイッチ3504、受像部（図示しない）等を含む。本発明を表示部3502に適用することができる。

【0169】図15（A）はフロント型プロジェクターであり、投射装置3601、スクリーン3602等を含む。本発明は投射装置3601の一部を構成する液晶表示装置3808やその他の駆動回路に適用することができる。

【0170】図15（B）はリア型プロジェクターであり、本体3701、投射装置3702、ミラー3703、スクリーン3704等を含む。本発明は投射装置3702の一部を構成する液晶表示装置3808やその他の駆動回路に適用することができる。

【0171】なお、図15（C）は、図15（A）及び図15（B）中における投射装置3601、3702の構造の一例を示した図である。投射装置3601、3702は、光源光学系3801、ミラー3802、3804～3806、ダイクロイックミラー3803、プリズム3807、液晶表示装置3808、位相差板3809、投射光学系3810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図15（C）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0172】また、図15(D)は、図15(C)中における光源光学系3801の構造の一例を示した図である。本実施例では、光源光学系3801は、リフレクター2811、光源3812、レンズアレイ3813、3814、偏光変換素子2815、集光レンズ3816で構成される。なお、図15(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0173】ただし、図15に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び発光装置での適用例は図示していない。

【0174】図16(A)は携帯電話であり、本体3901、音声出力部3902、音声入力部3903、表示部3904、操作スイッチ3905、アンテナ3906等を含む。本発明を表示部3904に適用することができる。

【0175】図16(B)は携帯書籍(電子書籍)であり、本体4001、表示部4002、4003、記憶媒体4004、操作スイッチ4005、アンテナ4006等を含む。本発明は表示部4002、4003に適用することができる。

【0176】図16(C)はディスプレイであり、本体4101、支持台4102、表示部4103等を含む。本発明は表示部4103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0177】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～9のどのような組み合わせからなる構成を用いても実現することができる。

## 【0178】

【発明の効果】本発明を適用すると、レーザ結晶化後のリッジに比べて低減することが可能となる。そのため、半導体膜上に形成される膜の被膜性は向上し、移動度に代表される電気的特性が非常に良好であるTFTの形成が可能となる。また、高精細のアクティブマトリクス型の液晶表示装置や発光装置に代表される半導体装置を作製することが可能となる。そして、このような半導体装置の動作特性や信頼性を向上することが可能となる。

## 10 【図面の簡単な説明】

【図1】 本発明の概念の一例を示す図。

【図2】 本発明の概念の一例を示す図。

【図3】 本発明の有効性の一例を示す図。

【図4】 画素TFT、駆動回路のTFTの作製工程の例を示す断面図。

【図5】 画素TFT、駆動回路のTFTの作製工程の例を示す断面図。

【図6】 画素TFT、駆動回路のTFTの作製工程の例を示す断面図。

20 【図7】 画素TFT、駆動回路のTFTの作製工程の例を示す断面図。

【図8】 画素部の画素を示す上面図。

【図9】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図10】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図11】 発光装置の駆動回路及び画素部の断面構造図。

【図12】 (A) 発光装置の上面図。

30 (B) 発光装置の駆動回路及び画素部の断面構造図。

【図13】 発光装置の画素部の断面構造図。

【図14】 半導体装置の例を示す図。

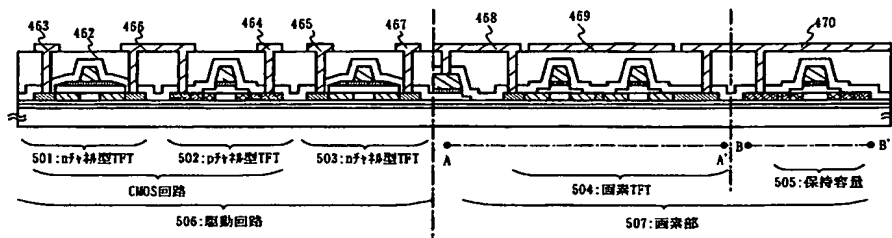
【図15】 半導体装置の例を示す図。

【図16】 半導体装置の例を示す図。

【図17】 本発明の概念の一例を示す図。

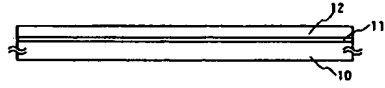
【図7】

第2の層間絶縁膜の形成/画素電極および配線の形成

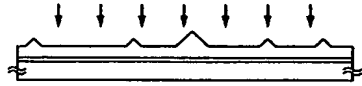


【図1】

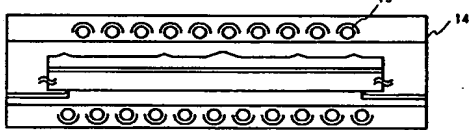
(A) 下地絶縁膜の形成/半導体膜の形成



(B) レーザアニール

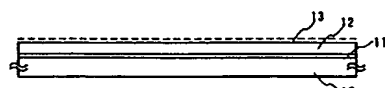


(C) 強光の照射

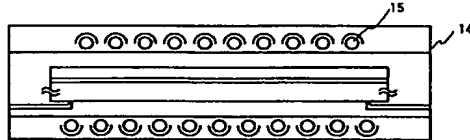


【図2】

(A) 下地絶縁膜の形成/半導体膜の形成/金属含有層の形成



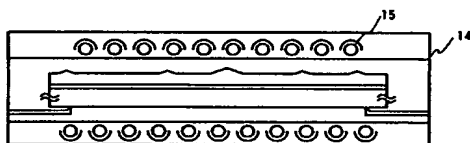
(B) 強光による照射



(C) レーザアニール

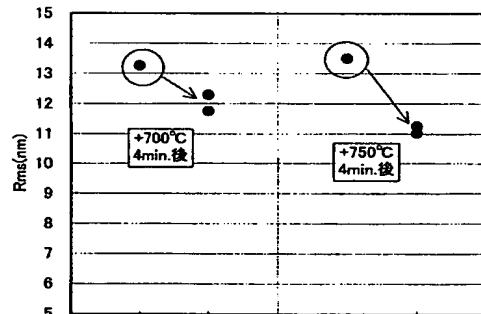


(D) 強光の照射

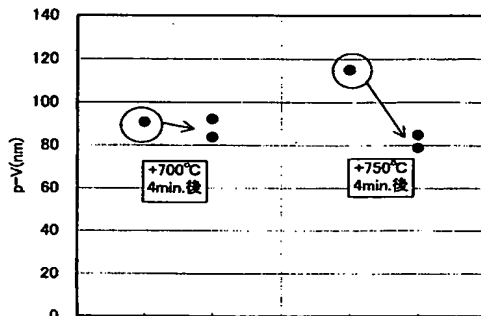


【図3】

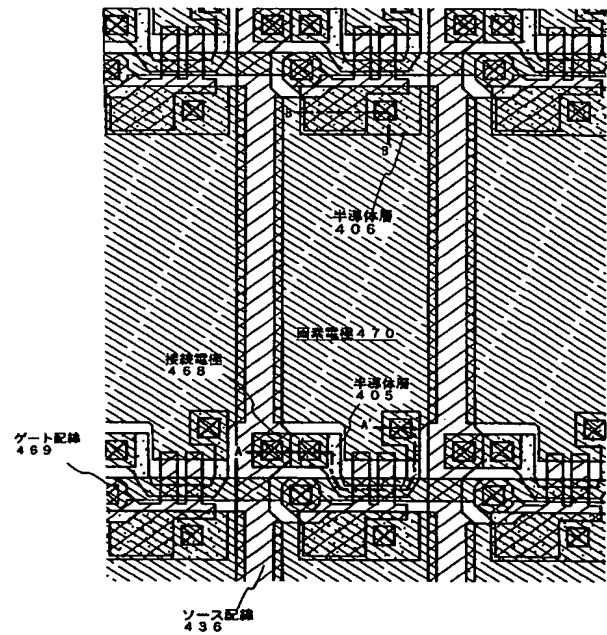
(A)



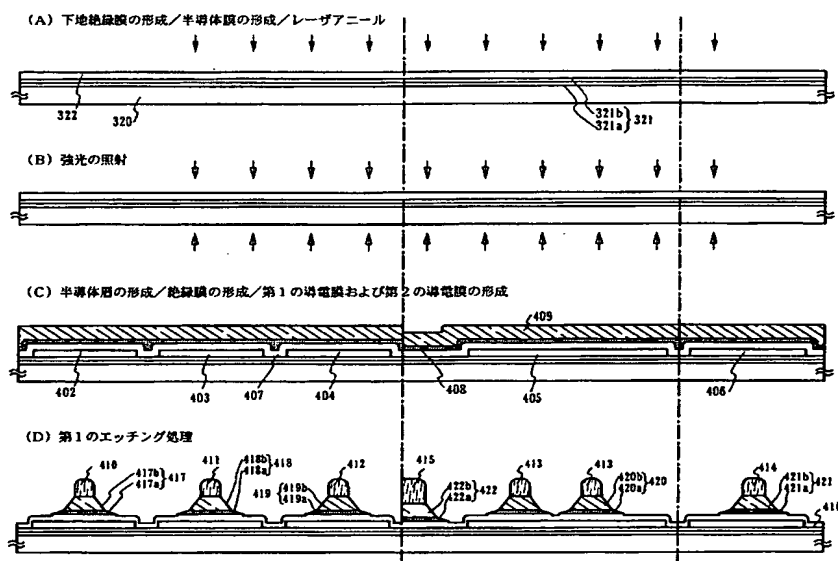
(B)



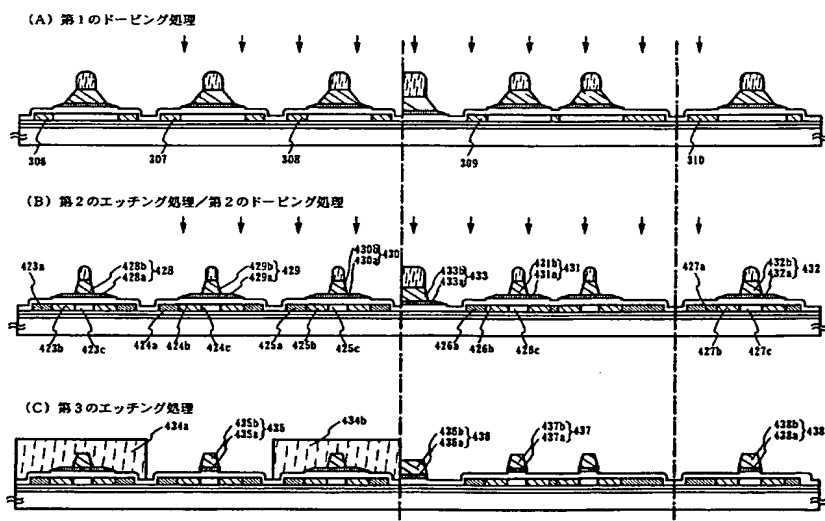
【図8】



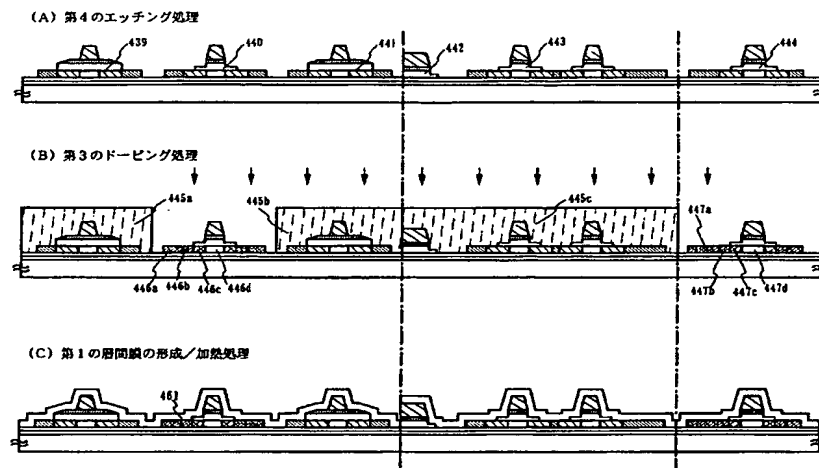
【図4】



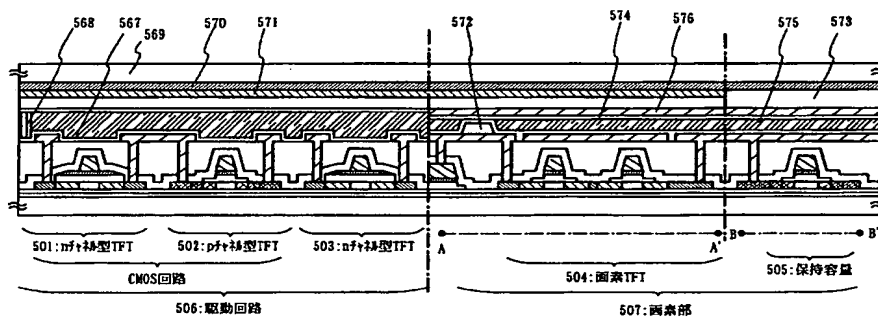
【図5】



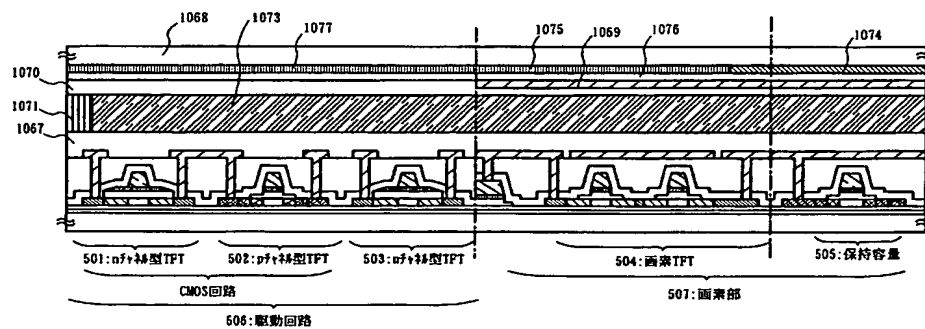
【図6】



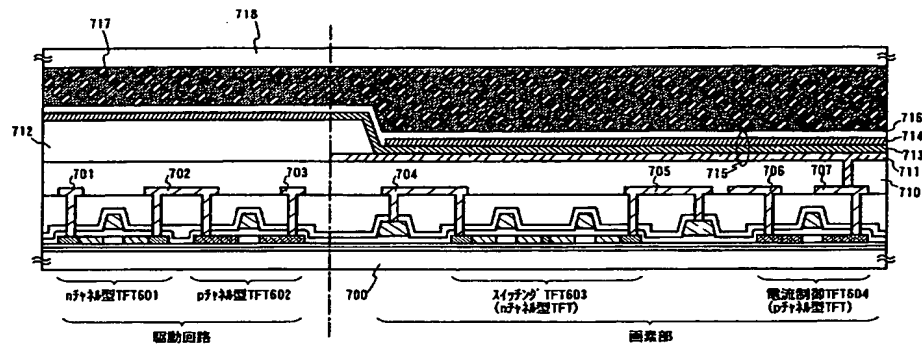
【図9】



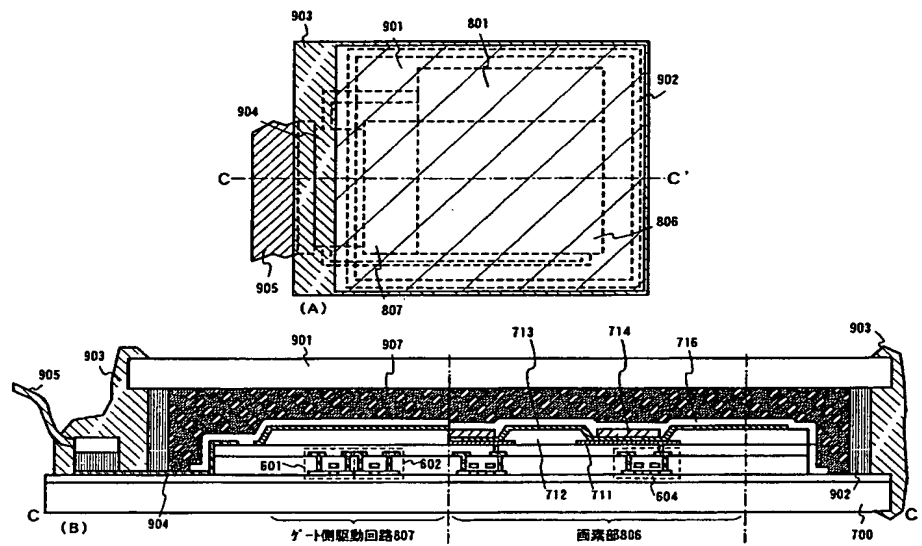
【図10】



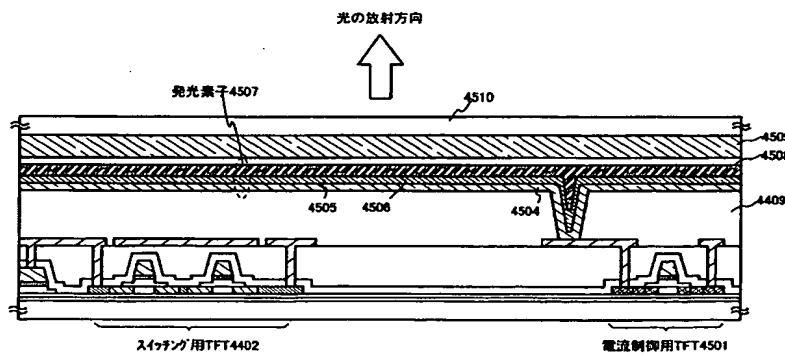
【図11】



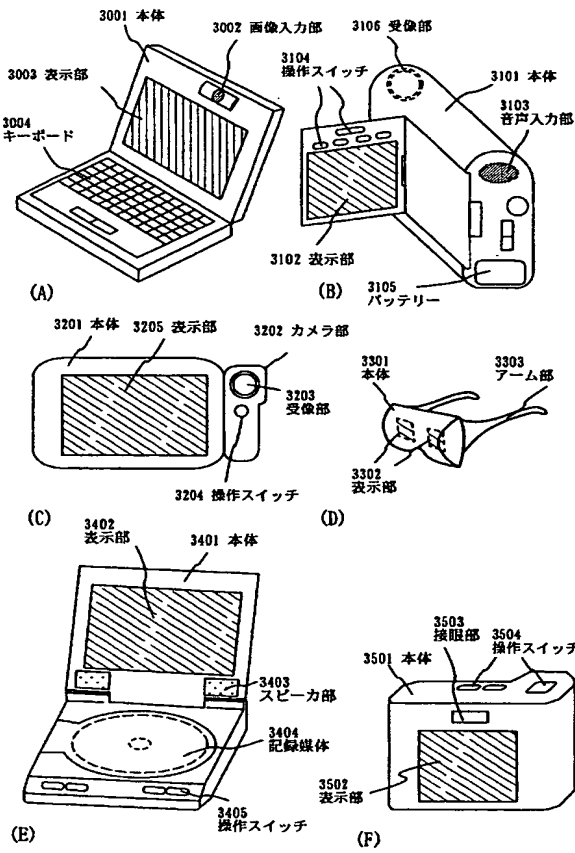
【図12】



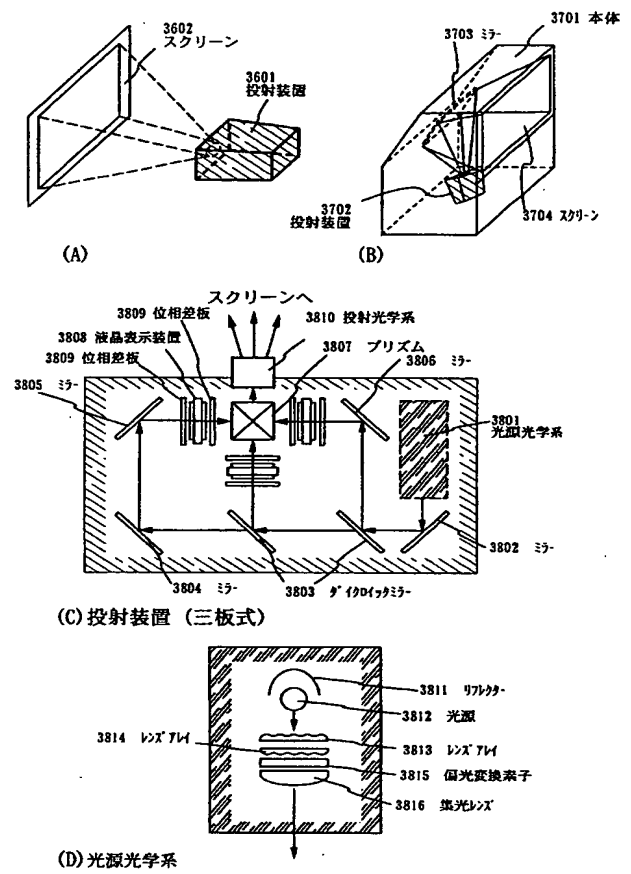
【図13】



【図14】

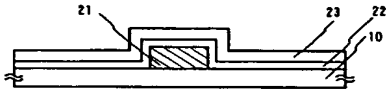


【図15】

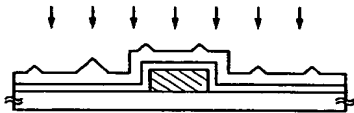


【図17】

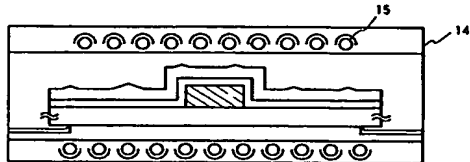
(A) 導電層の形成/絶縁膜の形成/半導体膜の形成



(B) レーザアニール

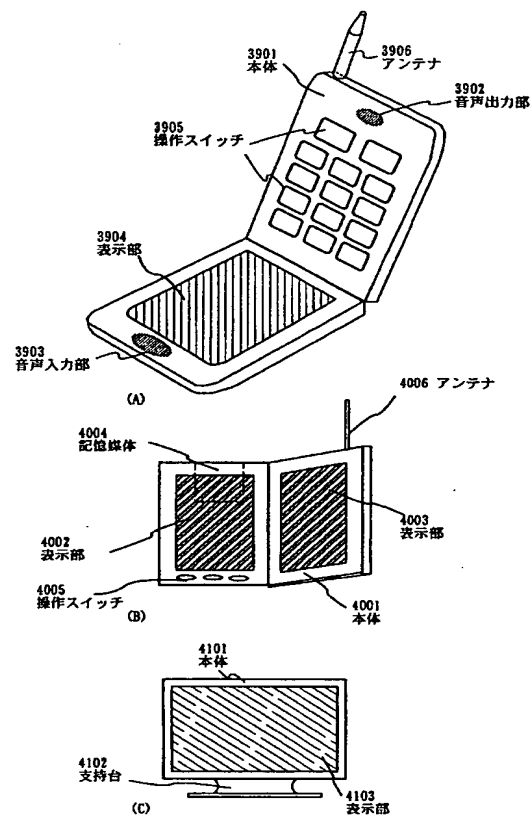


(C) 強光の照射





【図16】



フロントページの続き

(72)発明者 三津木 亨  
 神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内

F ターム(参考) 2H092 JA24 JB56 JB57 JB58 KA04  
KA05 KB24 MA05 MA08 MA17  
MA27 MA29 MA30 NA24 NA27  
NA29 PA01 PA13  
5F052 AA02 AA11 AA17 AA24 BA02  
BA07 BB02 BB05 BB07 CA08  
DA01 DA02 DA03 DB02 DB03  
DB07 EA16 FA06 FA19 HA01  
JA01  
5F110 AA30 BB02 BB04 CC02 DD01  
DD02 DD03 DD05 DD13 DD14  
DD15 DD17 EE01 EE02 EE03  
EE04 EE09 EE14 EE23 EE28  
EE44 EE45 FF02 FF04 FF28  
FF30 FF36 GG01 GG02 GG13  
GG25 GG32 GG43 GG45 GG47  
HJ01 HJ04 HJ12 HJ13 HJ23  
HL04 HL06 HM15 NN03 NN22  
NN24 NN27 NN34 NN72 NN73  
PP02 PP03 PP05 PP06 PP29  
PP34 QQ11 QQ23 QQ24 QQ25  
QQ28